Bitácora Proyecto Grupal 1 – Fundamentos de Arquitectura de Computadores

Vega Marín Giancarlo

Rodríguez Montero Juan Daniel

Gamboa Mora Gustavo Adolfo

17 de setiembre: Asignación de proyecto por parte del profesor. No se deciden aún los grupos, debido a otros compromisos con otros cursos.

24 de setiembre: Grupo de proyecto grupal 1 formado.

1 de octubre: Compra del motor DC, debido a que el motor no había servido previamente en el proyecto 1.

2 de octubre: Se implementa el primer módulo, el cual sirve para describir el primer decodificador del proyecto individual. Dicho decodificador recibía 4 bits que representaba la cantidad de dedos, y su salida era de 2 bits

Sin embargo, se logra apreciar un error. El módulo fue diseñado en un modelo comportamental. El enunciado de la tarea pide específicamente que debe ser modelo estructural. Se procede a realizar el cambio.

ACTUALIZACIÓN: Se logró diseñar el código en modelo estructural del decodificador de dedos, y el acumulador. Además, se diseñó el display de 7 segmentos, y se visualiza lo mejor posible en la FPGA.

Se documentará el día siguiente cuando se vaya a hacer el informe de la Tarea 1.

3 de octubre: Se realizó el informe de la tarea 1, donde se explica a detalle los conceptos teóricos de los HDL y los diferentes tipos que hay, además de las diferencias entre los modelos de estructura y comportamental, también se muestra parte del código diseñado para la solución de la tarea y fotos de la FPGA.

7 de octubre: Se reutiliza el diseño y código de la ALU anteriormente utilizada en el laboratorio 2 de Taller de Diseño Digital. Se reduce el parámetro de la ALU y sus operaciones a 2 bits, y se procede a rediseñar su modelo a un modelo estructural, todo acorde a lo pedido en el proyecto. Se implementan multiplexores para las operaciones, el acarreo y overflow, con 2 bits de operador sirviendo como el selector de dichos Mux.

Se prueba en la FPGA, y se logra confirmar su funcionamiento correcto.

8 de octubre: Resulta que los multiplexores también deben ser de modelo estructural, evitando el uso de “case”, “if” y el operador ternario. Se procede a rediseñar los multiplexores utilizados en la ALU, con el fin de que los multiplexores sean diseñados a base de su comportamiento por medio de compuertas lógicas. Después de eso, se crean testbenches para el Mux 4 a 1, y el Mux 2 a 1, y sus resultados son correctos; esto nos da la conclusión de que los multiplexores están bien implementados, y están diseñados en el modelo correcto.

9 de octubre: Además de los multiplexores, el profesor nos indicó que se debía rediseñar el módulo del decodificador BCD a 7 segmentos.

Se pensó en instanciar un multiplexor 4 a 1 al principio, pero resultó ser complicado de implementar.

Un código hecho en Verilog fue encontrado, y decidimos transcribirlo a SystemVerilog para nuestro uso. Sin embargo, los resultados de 7 bits en el testbench no eran los correctos. Se decidió desechar el código.